

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-90489

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

C 8427-4M

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号 特願平3-252365

(22)出願日 平成3年(1991)9月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 田中 正博

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博直

(54)【発明の名称】 半導体集積回路

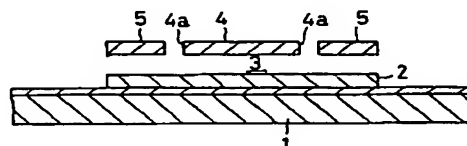
(57)【要約】

【目的】半導体集積回路における容量素子に関し、微細化しても外乱に強くしかも付加容量が小さく精度が高い容量を形成することを目的とする。

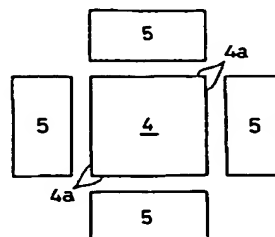
【構成】半導体基板1上に下部電極2を形成しその上方に形成した多角形状の上部電極4に形成してなる容量素子を備えた半導体集積回路において、前記多角形状の上部電極4の各辺4aに対して離間した対向位置に上部電極4と同一材質にて形成したシールド5をそれぞれ配置した。

本発明の原理説明図

(a)



(b)



1

【特許請求の範囲】

【請求項 1】 半導体基板（１）上に下部電極（２）を形成しその上方に形成した多角形状の上部電極（４）に形成してなる容量素子を備えた半導体集積回路において、

前記多角形状の上部電極（４）の各辺（４ a）に対して離間した対向位置に上部電極（４）と同一材質にて形成したシールド（５）をそれぞれ配置したことを特徴とする半導体集積回路。

【請求項 2】 半導体基板上に隣接して多数の容量素子を形成した半導体集積回路において、その多数の容量素子のうち外側に位置する各容量素子の多角形状の上部電極外側辺に対して離間した対向位置に上部電極と同一材質にて形成したシールドをそれぞれ配置したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に係り、詳しくは半導体集積回路における容量素子に関するものである近年、半導体集積回路の高密度化に伴い各素子の微細化が必要となる。そのため、容量素子もその面積をより小さくすることが望まれている。そこで、面積が小さく容量が安定した容量素子が要求されている。

【0002】

【従来の技術】 従来、半導体集積回路に設けられた容量素子（コンデンサ）の容量は面積のみを考慮して行われている。そして、半導体集積回路の高密度化に伴い容量素子の容量も小さくし面積の縮小化が図られる。

【0003】 しかしながら、容量素子の面積を縮小すればするほど、容量素子の理想の形である平行平板から大きく外れ容量素子の作用の予想がつかなくなる。つまり、容量素子の面積を縮小すればするほど、容量素子の電極間に形成される電場が廻りの回路から出力される例えばデジタル信号等によって乱され易くなり、安定した容量を得ることはできない。

【0004】 従って、容量素子を電極間の電場を乱すおそれのある回路から十分に離間した位置に形成しなければならず、半導体集積回路の微細化及び高密度化を図る上で障害となっていた。

【0005】

【発明が解決しようとする課題】 ところで、容量素子の微細化に伴い単位容量素子群の製造プロセスにおいて同一形状のパターンを形成することの困難性になっている。そこで、容量素子群の上部電極全体を囲む外周を上部電極と同じ材料の枠状パターンで囲むことにより、いわゆるエッチングの外側効果にて形状の均一化を図ったものが提案されている（特開昭 60-60751）。そして、この枠状パターンをインピーダンスの低いラインに接続することにより、前記デジタル信号等によって電場が乱されることなくシールド効果を発揮するととも

2

に、他との寄生容量を低減させることが可能となる。

【0006】 しかしながら、上記容量素子群の上部電極全体を囲む外周を上部電極と同じ材料の枠状パターンで囲むと、容量素子群の各上部電極及び下部電極と枠状パターンとで形成される容量（付加容量）が大きくなり、微細化に伴う安定した精度の高い容量の容量素子を形成することができない。

【0007】 本発明は上記問題点を解消するためになされたものであって、その目的は微細化しても外乱に強くしかも付加容量が小さく精度が高い容量を形成することができる半導体集積回路を提供するにある。

【0008】

【課題を解決するための手段】 図 1（a）、（b）は本発明の原理説明図である。半導体基板 1 上には導電材料よりなる下部電極 2 が形成されている。その下部電極 2 の上方には絶縁層 3 を介して導電材料よりなる多角形状の上部電極 4 が形成されている。そして、下部電極 2、絶縁層 3 及び上部電極 4 にて容量素子が半導体基板上に形成されている。前記上部電極 4 の各辺 4 a に対して離間した対向位置にシールド 5 がそれぞれ配置形成されている。各シールド 5 は上部電極 4 と同一導電材料にて形成されている。

【0009】

【作用】 従って、本発明によれば各シールド 5 は外部電極 4 の各辺 4 a に配置されることから、各シールド 5 を例えばグランド配線に接続することにより、外部から容量素子の電場に影響を与えるデジタル信号等の外乱が遮蔽される。

【0010】 また、各シールド 5 は各辺 4 a に対して離間した位置に配置し、上部電極 4 の外周に対して分離分割して形成したので、上部電極 4 の外周全体を隙間なく囲む場合に比べて付加容量が低減する。

【0011】

【実施例】 以下、本発明を具体化した一実施例を図 2～図 3 に従って説明する。図 2 は半導体基板上に設けた容量素子の平面図、図 3 はその構成容量素子の断面図である。

【0012】 半導体基板 1 上にはシリコン酸化膜（SiO₂）1 2 が形成されている。シリコン酸化膜（SiO₂）1 2 の上面にポリシリコンよりなる多角形状としての四角形状の下部電極 1 3 が形成されている。下部電極 1 3 の上面にはシリコン酸化膜（SiO₂）よりなる絶縁層 1 4 が形成され、その絶縁層 1 4 上にポリシリコンよりなる上部電極 1 5 が形成されている。上部電極 1 5 は下部電極 1 3 より面積が小さく、その形成位置は下部電極 1 3 の中央位置と対向するように形成されている。そして、この下部電極 1 3、絶縁層 1 4 及び上部電極 1 5 によって容量素子が形成されている。

【0013】 上部電極 1 5 の各辺 1 5 a においてそれぞれ等距離離間した位置にはシールド 1 6 がそれぞれ配置

3

形成されている。又、上部電極 15 の各角部においてもそれぞれ補助シールド 16 a が配置形成されている。各シールド 16, 16 a はポリシリコンより形成され、上部電極 15 を形成する際に同時に形成される。また、各シールド 16, 16 a はアルミよりなるグランド配線 17 に接続されている。そして、上部電極 15 及び各シールド 16 の上側にはシリコン酸化膜 (SiO₂) よりなる絶縁層 18 及び保護膜 19 が形成されている。

【0014】上記のように構成された容量素子は上部電極 15 の各辺 15 a にそれぞれ離間した位置に各シールド 16, 16 a を形成したので、両電極 13, 15 間の電場に影響を与えるデジタル信号等の外乱が各シールド 16, 16 a にて遮蔽される。従って、外乱の発生するおそれのある回路に対して容量素子を離間した位置に形成する必要がない。しかも、各シールド 16, 16 a は各辺 15 a に対応して設け、上部電極 15 の外周に対して分離分割して形成したので、図 4 に示すようにシールド 16 に対する付加容量 C1 ~ C4 は上部電極 4 の外周全体を隙間なく囲む場合に比べて付加容量が低減する。従って、容量素子全体としての精度の高い安定した小容量の容量素子をつくることができ、半導体集積回路の微細化及び高密度化を図ることができる。

【0015】次に、基本単位の容量を有した容量素子を複数個隣接配置した半導体集積回路について説明する。なお、構成は上記実施例と基本的に同じなので、そのシールドの配置のみ説明する。

【0016】図 5 は基本単位の容量を有した容量素子を複数個隣接配置した各上部電極の平面配置図を示す。各上部電極 21 は全て同じ四角形状に形成されて、各上部電極 21 を適宜配線 22 にて接続することによって所望の容量を得ることができるようになっている。各容量素子のうち外側に位置する各容量素子の上部電極 21 の外側辺 21 a には等距離離間した対向位置に上部電極 21 と同一材質のポリシリコンにて形成したシールド 23 がそれぞれ配置形成されている。また、各シールド 23 の角部には補助シールド 24 が形成されている。

【0017】このように構成された多数の基本容量素子は外側に位置する各容量素子の上部電極 21 の外側辺 21 a にそれぞれ離間した位置にシールド 23 を形成したので、各容量素子の容量に影響を与えるデジタル信号等の外乱が各シールド 23 にて遮蔽される。従って、前記と同様に外乱の発生するおそれのある回路に対して多数の容量素子からなる集合体を離間した位置に形成する必要がない。しかも、前記と同様に付加容量は外側の各上

4

部電極 21 全体を隙間なく囲む場合に比べて低減する。従って、容量素子全体としての精度の高い安定した小容量の容量素子をつくることができ、半導体集積回路の微細化及び高密度化を図ることができる。

【0018】又、前記各実施例の電極をポリシリコンにて形成したが、ポリシリコン以外の導体を用いて実施してもよい。更に、前記実施例では基板 11 上に形成したシリコン酸化膜 12 上に下部電極 13 を形成したが、図 6 に示すように基板 11 に熱拡散層 13 a を形成し、この拡散層 13 a を下部電極 13 としたり、図 7 に示すように基板 11 と反対の導電タイプのウェル層 11 a を熱拡散にて形成し、そのウェル層 11 a に基板 11 と同じ導電タイプの下部電極 13 を熱拡散にて形成してもよい。

【0019】又、前記実施例では上部電極 15 の形状が四角形であったが、これに限定されるものではなく、その他の多角形状を採用してもよい。更に、前記実施例では補助シールド 16 a, 24 を形成したが、これを無くして実施してもよいことは勿論である。

【0020】

【発明の効果】以上詳述したように本発明によれば、微細化しても外乱に強くしかも付加容量が小さく精度が高い容量を形成することができる優れた効果がある。

【図面の簡単な説明】

【図 1】 (a), (b) は本発明の原理説明図である。

【図 2】 本発明の一実施例を示す容量素子の平面図である。

【図 3】 本発明の一実施例を示す容量素子の断面図である。

【図 4】 シールドに基づく付加容量を説明するための説明図である。

【図 5】 多数の容量素子の集合体に形成したシールドを説明する平面図である。

【図 6】 下部電極を拡散層で形成した状態を示す断面図である。

【図 7】 下部電極をウェル層内に形成した状態を示す断面図である。

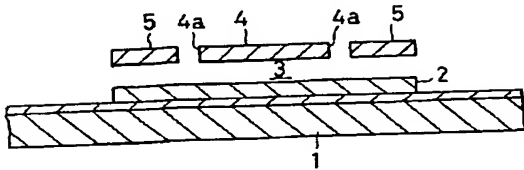
【符号の説明】

- 1 半導体基板
- 2 下部電極
- 4 上部電極
- 4 a 辺
- 5 シールド

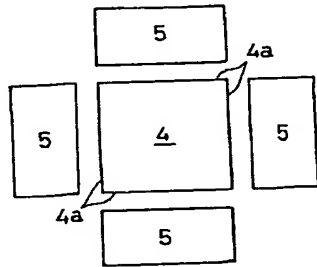
【図 1】

本発明の原理説明図

(a)

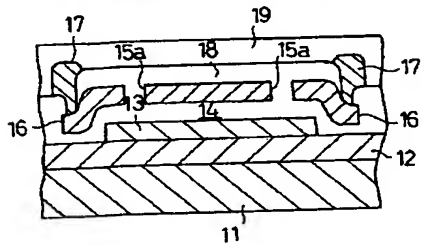


(b)



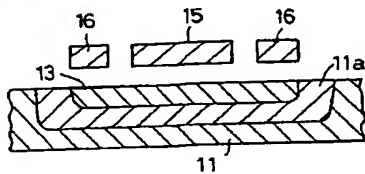
【図 3】

本発明の一実施例を示す容量素子の断面図



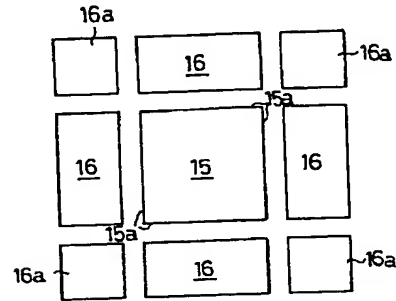
【図 7】

下部電極をウエル層内に形成した状態を示す断面図



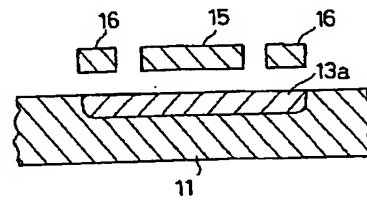
【図 2】

本発明の一実施例を示す容量素子の平面図



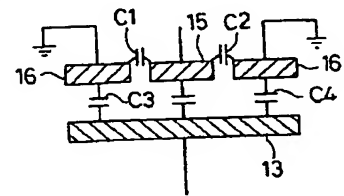
【図 6】

下部電極を拡散層へ形成した状態を示す断面図



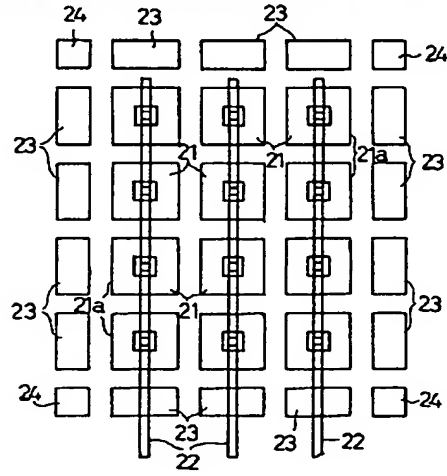
【図 4】

シールドに基づく付加容量を説明するための説明図



【図 5】

多数の容量素子の集合体に形成したシールドと説明する平面図



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)